**Министерство образования Российской Федерации**

**МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ**

**УНИВЕРСИТЕТ**

**им. Н.Э. БАУМАНА**

Факультет: Информатика и системы управления

Кафедра: Информационная безопасность (ИУ8)

**ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА**

**Лабораторная работа №1 на тему:**

«Синхронные двухступенчатые триггеры»

Вариант 4

**Преподаватель:**

Ковынев Н.В.

**Студент**:

Девяткин Е.Д.

**Группа:**

ИУ8-54

**Репозиторий работы**: <https://github.com/ledibonibell/Module05-ECE>

Москва 2024

**Цель работы**

Изучение принципов построения схем и режимов работы синхронных двухступенчатых триггеров.

**Входные данные**

Задание 1:

|  |  |
| --- | --- |
| Вариант | Содержимое ячеек памяти генератора слова **XWG1** |
| 4 | 110, 001, 100, 101, 010, 011, 000, 001, 000, 101, 110, 011, 100, 101, 010, 101 |

Задание 2:

|  |  |
| --- | --- |
| Вариант | Содержимое ячеек памяти генератора слова **XWG1** |
| 4 | 00, 00, 01, 01, 00, 10, 11, 11, 00, 00, 01, 01 |

Задание 3:

|  |  |
| --- | --- |
| Вариант | Содержимое ячеек памяти генератора слова **XWG1** |
| 4 | 0, 1, 1, 0, 1, 1, 0, 0, 1, 1, 0, 1 |

Задание 4:

|  |  |
| --- | --- |
| Вариант | Содержимое ячеек памяти генератора слова **XWG1** |
| 4 | 000, 001, 010, 011, 000, 111, 110, 111, 110, 111, 000, 101, 000, 011 |

**Перечень приборов**

Генератор слова XWG1;

Логический анализатор XLA1;

Четырехканальный осцилограф;

**Ход работы**

**Задание 1**. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого RS-триггера(рис. 1).

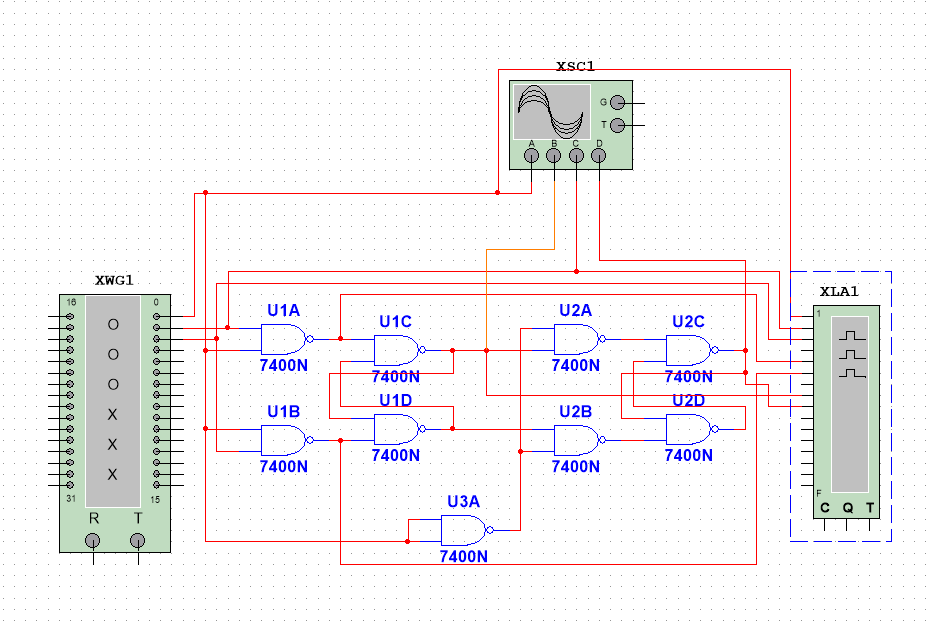


Рис. 1 - Схема двухступенчатого RS-триггера.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| C | R | S | Q | **Выход 3** | **Выход 4** | **Выход 9** |
| 0 | - | - | 0 | **0** | **-** | **-** |
| 0 | - | - | 1 | **1** | **-** | **-** |
| 1 | 0 | 0 | 0 | **1** | **1** | **1** |
| 1 | 0 | 0 | 1 | **1** | **1** | **1** |
| 1 | 0 | 1 | 0 | **0** | **0** | **1** |
| 1 | 0 | 1 | 1 | **0** | **0** | **1** |
| 1 | 1 | 0 | 0 | **1** | **1** | **0** |
| 1 | 1 | 0 | 0 | **1** | **1** | **0** |
| 1 | 1 | 1 | - | **-** | **-** | **-** |
| 1 | 1 | 1 | - | **-** | **-** | **-** |

Табл. 1 - Таблица истинности RS-триггера.

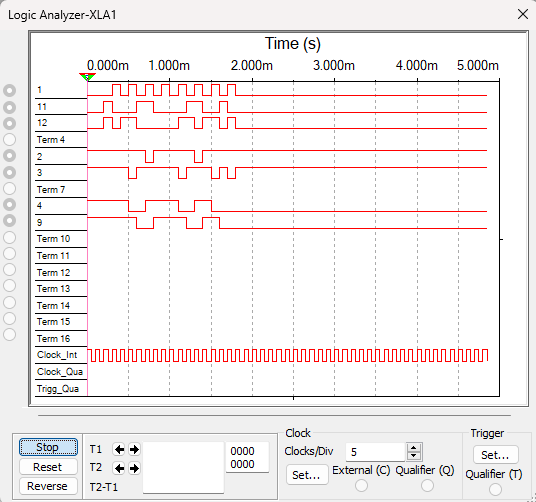


Рис. 2 - Временная диаграмма логического анализатора.

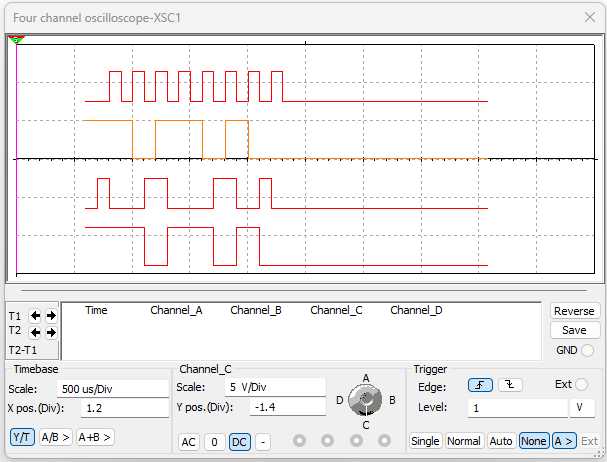


Рис. 3 - Временная диаграмма осциллографа.

**Задание 2**. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого D-триггера (рис. 4).

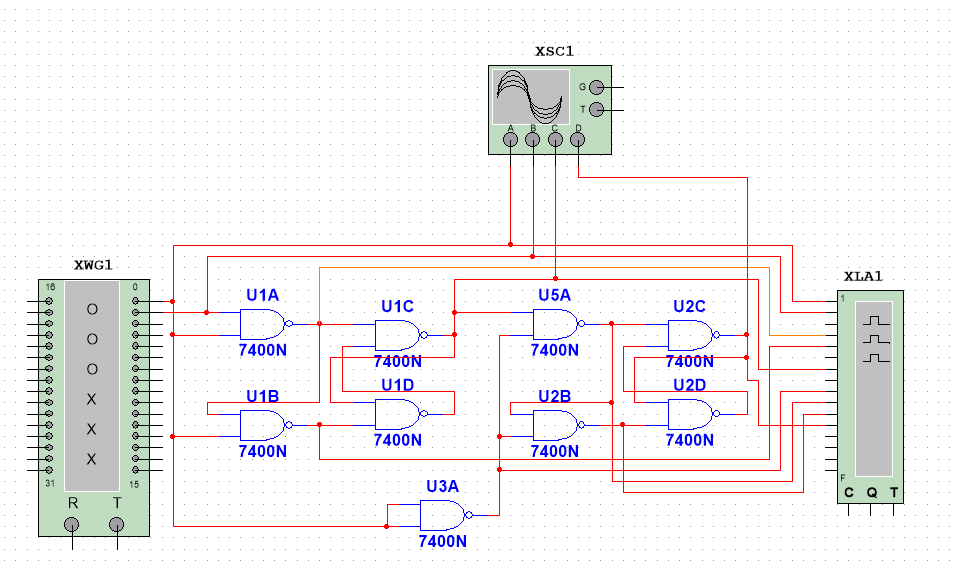


Рис. 4 - Схема двухступенчатого D-триггера.

|  |  |  |  |
| --- | --- | --- | --- |
| C | D | Q | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Табл. 2 - Таблица истинности D-триггера.

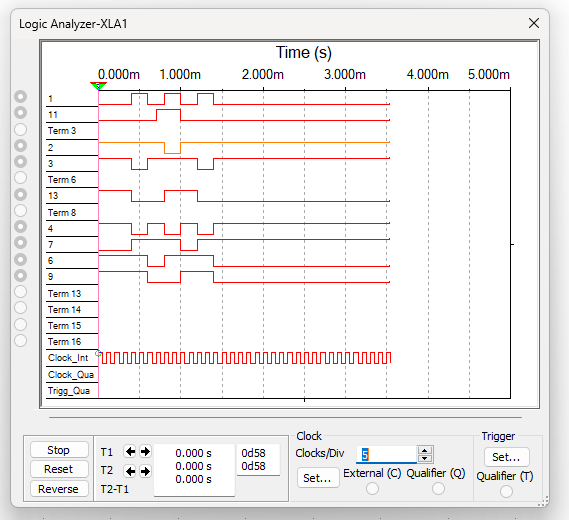


Рис. 5 - Временная диаграмма логического анализатора.

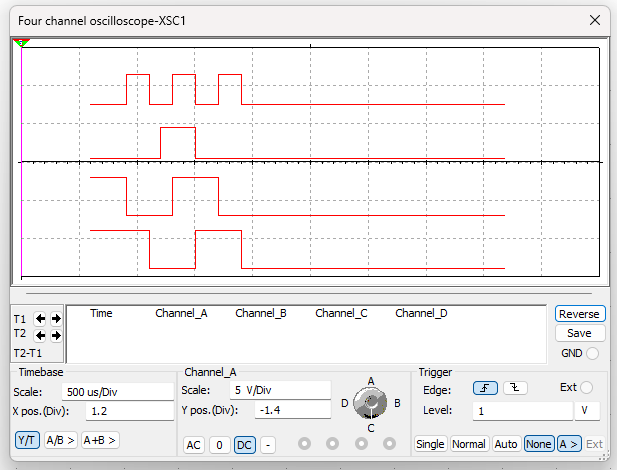


Рис. 6 - Временная диаграмма осциллографа.

**Задание 3**. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого Т-триггера (рис. 7).

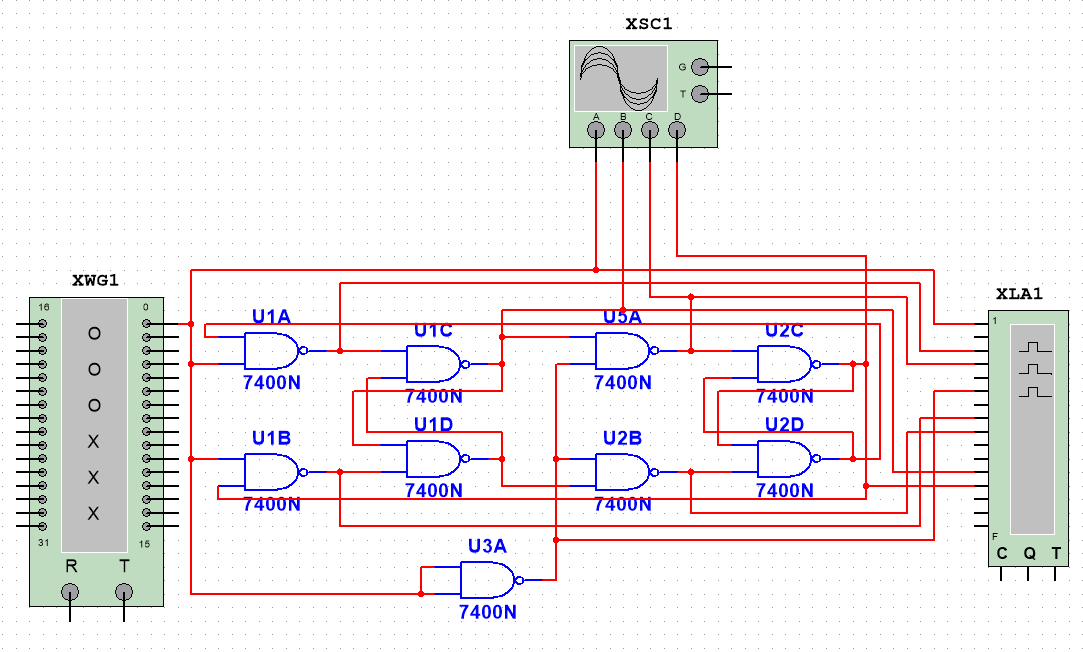


Рис. 7 - Схема двухступенчатого T-триггера.

|  |  |  |
| --- | --- | --- |
| T | Q | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Табл. 3 - Таблица истинности T-триггера.

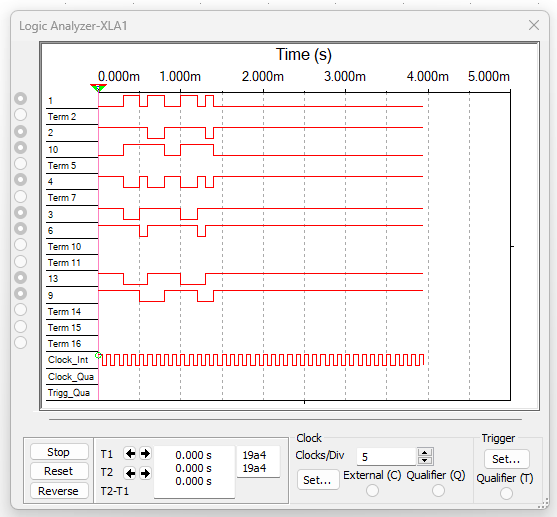


Рис. 8 - Временная диаграмма логического анализатора.

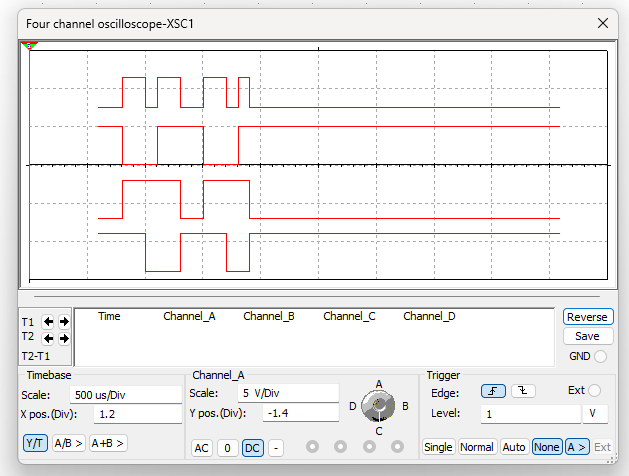


Рис. 9 - Временная диаграмма осциллографа.

**Задание 4**. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого JK-триггера (рис. 10).

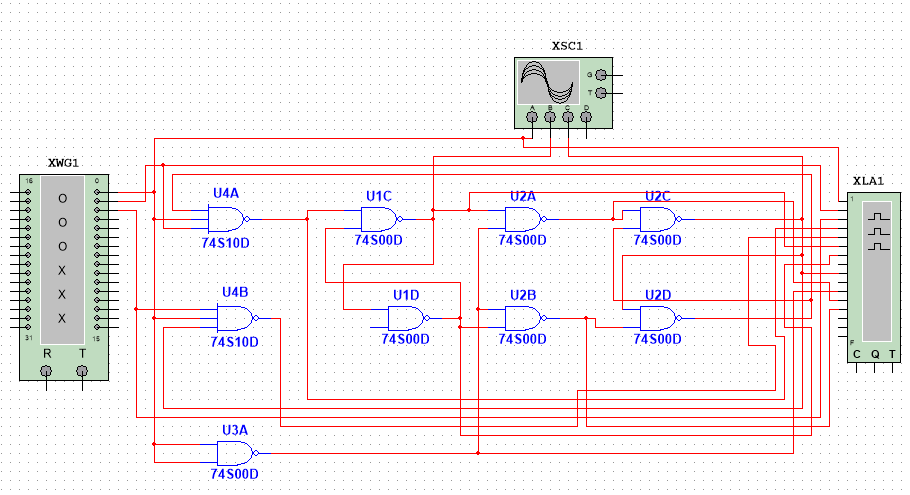


Рис. 10 - Схема двухступенчатого JK-триггера.

|  |  |  |  |
| --- | --- | --- | --- |
| J | K | Q | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |

Табл. 4 - Таблица истинности JK-триггера.

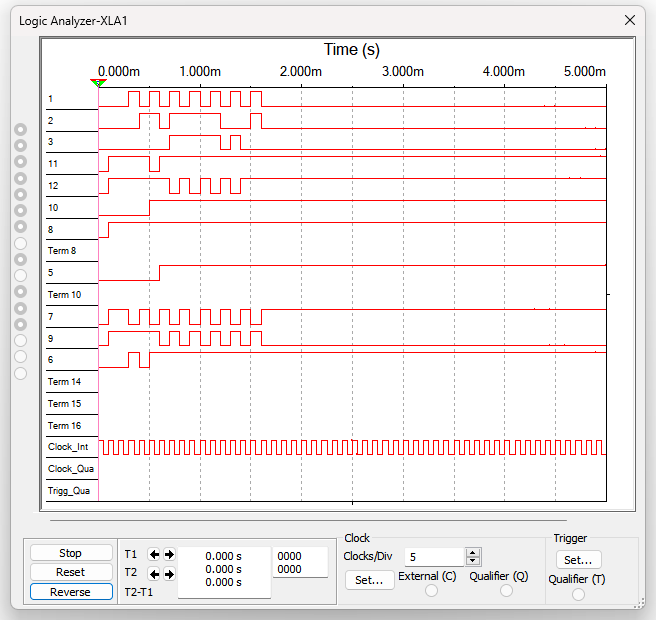


Рис. 11 - Временная диаграмма логического анализатора.

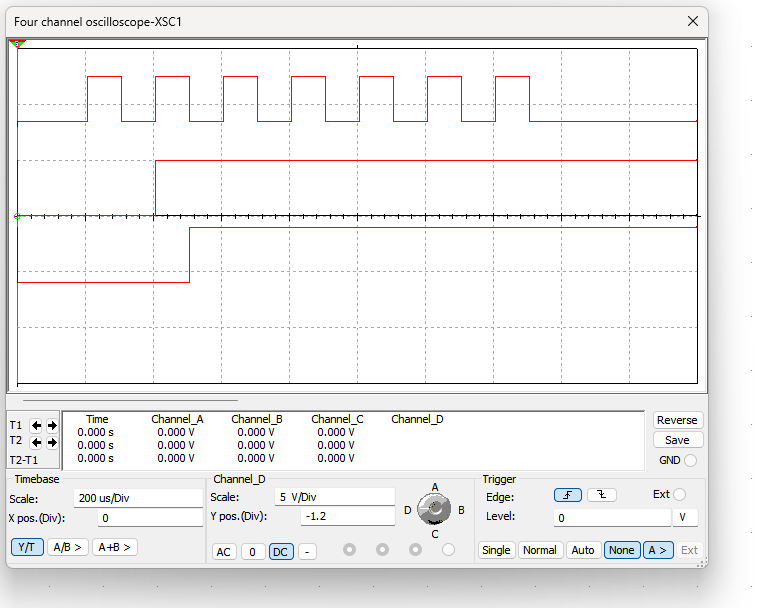


Рис. 12 - Временная диаграмма осциллографа.

**Вывод**

В ходе лабораторной работы были исследованы основные типы триггеров: RS, D, T и JK. Каждый из этих триггеров имеет свои уникальные характеристики и области применения, что делает их важными элементами в цифровой электронике.

1. Триггер RS:

- Работает на основе двух входов: Set (S) и Reset (R).

- Позволяет устанавливать и сбрасывать состояние выхода.

- Таблица истинности показала, что выход может находиться в двух состояниях: установленном (1) и сброшенном (0), в зависимости от комбинации входных сигналов.

2. Триггер D:

- Имеет один вход данных (D) и управляется тактовым сигналом.

- Состояние выхода копирует состояние входа D на момент перехода тактового сигнала.

- Это позволяет избежать неопределенности состояний, что делает D-триггер особенно полезным в регистрах и схемах хранения данных.

3. Триггер T:

- Имеет один вход управления (T) и переключает состояние выхода при каждом тактовом импульсе, если T=1.

- Используется для создания счетчиков и делителей частоты.

- Таблица истинности продемонстрировала простоту работы триггера: переключение происходит только при активном сигнале T.

4. Триггер JK:

- Сочетает функции RS и T-триггера, имея два входа: J и K.

- Позволяет более гибкое управление состояниями выхода, включая возможность переключения, установки и сброса.

- Это делает JK-триггер универсальным элементом для построения сложных цифровых схем.